

*Донецкий национальный технический университет*

*Южный федеральный университет*



---

---

---

## МАТЕРИАЛЫ

**Четырнадцатого международного  
научно-практического семинара**

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

ТОМ 2

*15 – 18 апреля 2013 года*

*г.Донецк*



**Донецк - Таганрог**

*Донецкий национальный технический университет*

*Южный федеральный университет*

**«ПРАКТИКА И ПЕРСПЕКТИВЫ  
РАЗВИТИЯ ПАРТНЕРСТВА  
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

**Материалы**

**Четырнадцатого международного научно-практического**

**семинара**

*15 – 18 апреля 2013 года*

*г.Донецк*

**ТОМ 2**

**Донецк – Таганрог 2013**

## АВТОМАТИЗАЦИЯ ПРОЦЕССА ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ УПРАВЛЕНИЯ

Баркалов А.А.<sup>1</sup>, Зеленёва И.Я.<sup>2</sup>, Мирошкин А.Н.<sup>2</sup>, Товстоног А.А.<sup>2</sup>

<sup>1</sup> University of Zielona Gora, Poland, <sup>2</sup> ДонНТУ, Украина

[MiroshkinAN@gmail.com](mailto:MiroshkinAN@gmail.com)

**Abstract:** *The problem of automated control units' design on the base of modern VSLI circuits is considered. Two ways of CAD systems organization are proposed. Control units CAD system with the using of multiprocessor cluster of Computer Science department of Donetsk National Technical University is proposed. Some of control units' synthesis results with using of proposed CAD system are presented.*

### Введение

Высокие темпы развития средств цифровой техники сопряжены с постоянным усложнением алгоритмов, которые реализуются в их компонентах и узлах. Управляющие устройства (УУ), которые интерпретируют данные алгоритмы, должны быть достаточно быстрыми, чтобы не ограничивать возможности цифровых систем. А для того, чтобы уменьшить себестоимость производства цифровых систем, все входящие в их состав компоненты (и устройства управления в том числе) должны использовать минимальное количество аппаратных ресурсов. Кроме того, сам процесс производства желательно осуществлять максимально быстро и с минимальной вероятностью возникновения ошибок в процессе проектирования. Все перечисленные факторы свидетельствуют в пользу **актуальности** использования систем автоматизированного проектирования цифровых устройств.

В данной работе рассматривается система автоматизированного проектирования устройств управления (САПР УУ), разработанная на кафедре компьютерной инженерии Донецкого национального технического университета [1]. Указанная система ориентирована на использование базиса программируемых логических интегральных схем (ПЛИС) [2] и позволяет осуществлять следующие этапы процесса синтеза:

- описание исходного алгоритма управления;
- генерация VHDL-модели заданной структуры УУ;
- моделирование устройства;
- выбор параметров реализации устройства в базисе ПЛИС;
- реализация VHDL-модели в базисе микросхемы ПЛИС.

Процесс синтеза устройства управления при использовании разработанной САПР занимает в среднем от 10 минут до 1 часа в зависимости от размера и сложности реализуемого алгоритма управления. При этом процесс синтеза можно условно разделить на два этапа: создание модели устройства управления без привязки к конкретному элементному базису и ее реализация с учетом ограничений выбранного элементного базиса. Каждый из этапов имеет свои особенности.

### Автоматизация проектирования VHDL-моделей

В качестве средства описания модели УУ часто используется язык описания аппаратуры VHDL [3]. Данный язык поддерживает различные стили описания проектируемого устройства и/или его компонент, а также позволяет выполнять его поведенческое моделирование. VHDL-модель УУ может быть получена разработчиком самостоятельно или при помощи специализированных программ-генераторов. Одна из таких программ является разработкой сотрудников кафедры компьютерной инженерии и входит в состав описываемой САПР УУ.

В качестве входных данных генератор VHDL-моделей использует описание алго-

ритма управления в XML-формате [4]. Данный формат был выбран благодаря своей популярности и наличию поддержки во многих операционных системах и языках программирования. Входной XML-файл содержит информацию обо всех вершинах граф-схемы алгоритма (ГСА) управления, их содержанием, а также обо всех связях между вершинами. Указанный файл используется генератором для построения внутренних массивов данных, анализ которых позволяет определить структуру устройства управления с минимальным параметром необходимых аппаратных ресурсов при реализации в базе ПЛИС. Результатом работы генератора является комплекс \*.vhd и \*.mif файлов, описывающих структуру модели УУ, реализуемые в его узлах функции, а также, при необходимости, содержимое управляющей памяти. Генератор разработан для функционирования в семействе операционных систем Windows, однако может работать и в \*nix-средах под оболочкой wine [5].

#### **Автоматизация имплементации VHDL-моделей в базе ПЛИС**

Полученная в результате использования генератора VHDL-модель УУ может быть использована для моделирования работы проектируемого устройства, однако конечной целью является реализация модели в базе современных микросхем ПЛИС. Реализация модели может быть выполнена при помощи одной из специализированных САПР, наиболее известными из которых являются САПР Xilinx ISE [6] и Altera Quartus [7]. В разработанной САПР УУ предпочтение было отдано первой, поскольку она поддерживает скриптовый язык программирования TCL, который позволяет автоматизировать процесс разработки цифрового устройства.

В САПР Xilinx ISE реализованы алгоритмы размещения и трассировки очень высокой сложности. Для простых устройств решение задачи реализации модели в базе микросхемы ПЛИС может быть получено за сравнительно небольшой промежуток времени (3-5 минут). Реализация более сложных цифровых устройств требует значительно больше времени, поэтому использование персональных компьютеров может значительно замедлить процесс реализации большого количества моделей УУ. Известны два решения, которые позволяют увеличить количество решаемых в вычислительной системе задач в единицу времени: увеличение производительной мощности устройства, что приведет к уменьшению длительности решения одной задачи, или параллельное решение нескольких задач. Второй подход требует наличия многопроцессорной вычислительной системы, в качестве которой в САПР УУ выступил кластер NeClus кафедры компьютерной инженерии ДонНТУ. Балансировку нагрузки [8] на узлы многопроцессорной вычислительной системы осуществляет система скриптов, которые отслеживают наличие освободившихся узлов для передачи на них очередного набора моделей для реализации.

Результатом реализации VHDL-модели в базе ПЛИС являются файлы отчетов с различной статистикой используемых ресурсов микросхемы, а также, при необходимости, файл прошивки для соответствующей микросхемы ПЛИС.

#### **Результаты использования САПР устройств управления**

Параллельная реализация множества VHDL-моделей устройств управления, необходимых для определения аналитических зависимостей между параметрами ГСА исходных алгоритмов и характеристиками схем, получаемых при их реализации, позволила выполнить исследования за 3 месяца вместо теоретически рассчитанных 6 лет при использовании персонального компьютера с двухъядерным процессором. Результатом исследований стало выявление закономерностей, которые положены в основу алгоритма определения структуры управляющего устройства с минимальным показателем необходимых аппаратных затрат и временными показателями, которые удовлетворяют выдвигаемым требованиям.

#### **Выводы**

Использование САПР позволяет быстро и качественно выполнять проектирование различных узлов и компонент вычислительных систем, а параллельное выполнение не-

скольких процессов синтеза позволяет многократно сократить общее время проектирования множества устройств. Разработанная программная система позволяет выполнять проектирование от создания файла-описания исходного алгоритма до получения файла-прошивки для микросхемы ПЛИС за приемлемое время. Полученное устройство при этом характеризуется минимальным показателем необходимых аппаратурных затрат.

**Список литературы:** 1. Зеленёва И.Я. Система автоматизированного проектирования композиционных микропрограммных устройств управления / И.Я. Зеленёва, Л.И. Дорожко, А.Н. Мирошкин // Наукові праці Донецького національного технічного університету. Серія "Проблеми моделювання та автоматизації проектування динамічних систем" (МАП-2007). Випуск: 6 (127). – Донецьк:ДонНТУ, 2007. – С. 54-61. 2. FPGA/CPLD – ПЛИС (Программируемые Логические Интегральные Схемы) / [Электронный ресурс]. Режим доступа: [www.fpga-cpld.ru](http://www.fpga-cpld.ru) 3. AllHDL – VHDL [Электронный ресурс]. Режим доступа: [www.allhdl.ru/vhdl.php](http://www.allhdl.ru/vhdl.php) 4. Extensible Markup Language (XML) [Электронный ресурс]. Режим доступа: [www.w3.org/XML](http://www.w3.org/XML) 5. Wine (Материал из Википедии — свободной энциклопедии) [Электронный ресурс]. Режим доступа: [ru.wikipedia.org/wiki/Wine](http://ru.wikipedia.org/wiki/Wine) 6. ISE WebPACK Design Software [Электронный ресурс]. Режим доступа: [www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm](http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm) 7. Quartus II Web Edition Software [Электронный ресурс]. Режим доступа: <https://www.altera.com/download/software/quartus-ii-we> 8. Алгоритм распределения задач по узлам многопроцессорной вычислительной системы по критерию времени их обработки / А.Н. Мирошкин, И.Я. Зеленёва, С.А. Ковалев, П.В. Перкин // Наукові праці Донецького національного технічного університету. Серія "Проблеми моделювання та автоматизації проектування" (МАП-2012). Випуск: 1(10)-2(11). – Донецьк:–ДонНТУ, 2012. – С. 131-136. ISSN 2074-7888.

УДК 004.274

## РАЗДЕЛЕНИЕ СХЕМЫ АДРЕСАЦИИ В КМУУ С ОБЩЕЙ ПАМЯТЬЮ

**Баркалов А.А.<sup>1</sup>, Титаренко Л.А.<sup>1</sup>, Ефименко К.Н.<sup>2</sup>, Зеленева И.Я.<sup>2</sup>**

*Университет Зеленогурский<sup>1</sup>, ДонНТУ<sup>2</sup>, г. Зеленая Гура, г. Донецк, Польша, Украина  
Тел./факс: (+48 68) 328 2693; E-mail: A.Barkalov@iie.uz.zgora.pl*

**Abstract:** *A method for reducing the hardware amount in the circuit of CMCU with common memory is proposed oriented on FPGA technology. The method is based on the use of three sources of codes classes of pseudoequivalent OLC and a multiplexer to choose one of these sources. Such an approach would reduce the number of LUT elements in the addressing circuit of CMCU. An example of the proposed method application is given.*

**Key words:** *CMCU, GSA, OLC, FPGA, logic circuit*

### **Введение**

В случае если алгоритм управления некоторой системы представлен линейной граф-схемой алгоритма (ГСА) [1], для реализации схемы устройства управления (УУ) может быть использована модель композиционного микропрограммного устройства управления (КМУУ) с общей памятью [2,3]. В настоящее время для реализации схем УУ широко используются программируемые логические интегральные схемы (ПЛИС) вида FPGA (field-programmable gate arrays) [4,5]. Основу FPGA представляют макро-ячейки LUT (look-up table), имеющие ограниченное число входов (4-6) [6,7]. Для оптимизации схемы УУ на FPGA необходимо уменьшить количество аргументов и термов в реализуемых системах булевых функций [8].

## СОДЕРЖАНИЕ

<b>Алекперлі Ф.А., Шабанов М.А.</b> МОДЕЛЮВАННЯ ДІНАМІЧНИХ СИСТЕМ УПРАВЛІННЯ	3
<b>Андрієнко Е.В., Занин К.М., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ АНТЕННОЙ СИСТЕМЫ ТОЧКИ ДОСТУПА WLAN	6
<b>Баркалов А.А., Зеленёва И.Я., Мирошкин А.Н., Товстоног А.А.</b> АВТОМАТИЗАЦИЯ ПРОЦЕССА ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ УПРАВЛЕНИЯ	10
<b>Баркалов А.А., Титаренко Л.А., Ефименко К.Н., Зеленева И.Я.</b> РАЗДЕЛЕНИЕ СХЕМЫ АДРЕСАЦИИ В КМУУ С ОБЩЕЙ ПАМЯТЬЮ	12
<b>Борзов Д.Б., Корой В.В.</b> ВЫЯВЛЕНИЕ ПАРАЛЛЕЛИЗМА ВНУТРИ ЛИНЕЙНЫХ УЧАСТКОВ ПОСЛЕДОВАТЕЛЬНЫХ ПРОГРАММ, СОДЕРЖАЩИХ РЕКУРСИЮ И ВЫЗОВЫ ПОДПРОГРАММ, СО СВЯЗЯМИ ПО УПРАВЛЕНИЮ	18
<b>Бровкина Д.Ю., Приходько Т.А.</b> РАЗРАБОТКА МОБИЛЬНОГО РОБОТА С ОПТИМАЛЬНОЙ СХЕМОЙ ПИТАНИЯ	20
<b>Волощенко В.Ю.</b> ИМПУЛЬСНЫЙ ПАРАМЕТРИЧЕСКИЙ ИЗЛУЧАТЕЛЬ НА СТОЯЧИХ ВОЛНАХ КОНЕЧНОЙ АМПЛИТУДЫ	24
<b>Геложє Ю.А., Клименко П.П., Максимов А.В.</b> УПРАВЛЕНИЕ ПРОЦЕССАМИ В ФАЗОВОЙ СИСТЕМЕ АВТОПОДСТРОЙКИ ЧАСТОТЫ ЦИФРОВЫХ СИНТЕЗАТОРОВ ЧАСТОТЫ В КРИТИЧЕСКИХ РЕЖИМАХ	26
<b>Гришко Е.Е., Сапронова О.В., Паслєн В.В.</b> МОДЕЛИРОВАНИЕ ШИРОКОПОЛОСНЫХ АНТЕНН С КРУГОВОЙ ПОЛЯРИЗАЦИЕЙ В ПРОГРАММНОМ ПРОДУКТЕ ММАНА	29
<b>Гусєва М.Н., Евтушенко В.Ю., Скубилин И.М.</b> ОБРАБОТКА РЕЗУЛЬТАТОВ МОНИТОРИНГА СПОСОБНОСТИ КУРСАНТОВ	31
<b>Долженкова В.В., Кирєєв Д.О., Звягинцева А.В.</b> ПЕРСПЕКТИВЫ ПРОСТРАНСТВЕННОГО АНАЛИЗА В ГИС СИСТЕМАХ ДЛЯ ПРОГНОЗИРОВАНИЯ РИСКА НАВОДНЕНИЙ	36
<b>Дубинская И.В., Паньчев А.И.</b> МОДЕЛИРОВАНИЕ ПРОХОЖДЕНИЯ ЧЕРЕЗ КОНСТРУКЦИИ ЗДАНИЯ СИГНАЛОВ БЕСПРОВОДНОЙ ЛОКАЛЬНОЙ СЕТИ СВЯЗИ	43
<b>Заграй Н.П.</b> СПЕКТРАЛЬНЫЕ КОЭФФИЦИЕНТЫ МОЩНОГО СИГНАЛА В БИОСРЕДЕ С УЧЕТОМ НЕЛИНЕЙНОСТЕЙ ВЫСШИХ ПОРЯДКОВ	47
<b>Захаревич В.Г., Ли В.Г., Комар А.В.</b> МЕТОДИКА ОЦЕНКИ ДЕЯТЕЛЬНОСТИ ЧЕЛОВЕКА-ОПЕРАТОРА РТС В СРЕДЕ ТМС ВИРТУАЛЬНОЙ РЕАЛЬНОСТИ	51
<b>Захарченко А.Д., Бокий И.А.</b> МОДЕЛИРОВАНИЕ РАБОТЫ ПЛОСКИХ РЫЧАЖНЫХ МЕХАНИЗМОВ	58
<b>Касьянов А.О., Билан А.Н.</b> ЭЛЕКТРОДИНАМИЧЕСКАЯ МОДЕЛЬ МИКРОПОЛОСКОВО-ШТЫРЕВОЙ ОТРАЖАТЕЛЬНОЙ АНТЕННОЙ РЕШЕТКИ	62

<b>Кисель Н.Н., Грищенко С.Г., Кардос Д.А.</b> МОДЕЛИРОВАНИЕ И ЧИСЛЕННОЕ ИССЛЕДОВАНИЕ АНТЕННОЙ СИСТЕМЫ БАЗОВОЙ СТАНЦИИ LTE СВЯЗИ	64
<b>Кисель Н.Н., Грищенко С.Г., Мерглодов Д.В.</b> ОПЫТ ИСПОЛЬЗОВАНИЯ ПРОГРАММЫ «WIRELESS INSITE» ДЛЯ МАГИСТЕРСКОЙ ПОДГОТОВКИ ПО НАПРАВЛЕНИЮ "ИНФОКОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ И СИСТЕМЫ СВЯЗИ"	67
<b>Кисель Н.Н., Грищенко С.Г.</b> ЭЛЕКТРОДИНАМИЧЕСКОЕ МОДЕЛИРОВАНИЕ ВЫСОКОЧАСТОТНЫХ УСТРОЙСТВ НА БАЗЕ НАУЧНО-ОБРАЗОВАТЕЛЬНОГО ЦЕНТРА «ЦЕНТР КОМПЬЮТЕРНОГО МОДЕЛИРОВАНИЯ И ЭЛЕКТРОННЫХ САПР АНТЕНН И УСТРОЙСТВ СВЧ»	70
<b>Клевцова А.Б.</b> МОДЕЛЬ ПРОЦЕССА ФОРМИРОВАНИЯ ТРЕБОВАНИЙ НА ПАРАМЕТРЫ РАЗРАБАТЫВАЕМОГО ТЕХНИЧЕСКОГО ОБЪЕКТА	73
<b>Клевцов С.И.</b> МОДЕЛЬ ОБНАРУЖЕНИЯ НЕШТАТНОЙ СИТУАЦИИ НА ОСНОВЕ МАТРИЧНОГО ПАРАМЕТРИЧЕСКОГО ПРЕДСТАВЛЕНИЯ О КОНТРОЛИРУЕМОМ ОБЪЕКТЕ	76
<b>Клевцов С.И.</b> ОСОБЕННОСТИ ВИЗУАЛЬНОГО ПРОЕКТНОГО МОДЕЛИРОВАНИЯ ПРОЦЕССОВ ОБРАБОТКИ ИНФОРМАЦИИ В РЕАЛЬНОМ ВРЕМЕНИ В СИСТЕМАХ СБОРА И ОБРАБОТКИ ДАННЫХ ДАТЧИКОВ	81
<b>Ковальов С.О., Кравченко О.Г., Цололо С.О., Варавка А.М.</b> СИСТЕМА АНАЛІЗУ ПОТОКІВ ДАНИХ КОРИСТУВАЧІВ ІЗ ЗОВНІШНІХ USB-ПРИСТРОЇВ	85
<b>Корниенко В.Т., Шеверева А.В.</b> ИСПОЛЬЗОВАНИЕ ВИРТУАЛЬНЫХ ПРИБОРОВ LABVIEW ДЛЯ АНАЛИЗА РАБОТЫ ЦИФРОВЫХ СКРЕМБЛЕРОВ	89
<b>Корой В.В.</b> SSD НОСИТЕЛЬ ПОВЫШЕННОЙ ИЗНОСОСТОЙКОСТИ НА ОСНОВЕ ВЫБОРОЧНОЙ БУФФЕРИЗАЦИИ	93
<b>Косенко О.В.</b> АНАЛИЗ МОДЕЛЕЙ ПРОИЗВОДСТВЕННО-ТРАНСПОРТНЫХ ЗАДАЧ	94
<b>Котова М.В., Звягинцева А.В.</b> РАЗРАБОТКА МАТЕМАТИЧЕСКОЙ МОДЕЛИ В ВИЗУАЛЬНОЙ ОБЪЕКТНО-ОРИЕНТИРОВАННОЙ СРЕДЕ ПРОГРАММИРОВАНИЯ DELPHI-7	99
<b>Кравчук Д.А., Немыкина А.В.</b> ПРИМЕНЕНИЕ СЛОЖНЫХ СИГНАЛОВ ПРИ СОЗДАНИИ ГИДРОАКУСТИЧЕСКИХ СИСТЕМ СВЯЗИ ДЛЯ МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	104
<b>Кравчук Д.А.</b> ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ ПО УПРАВЛЕНИЮ ПРОЦЕССОМ МОДОВОГО РАСПРОСТРАНЕНИЯ СИГНАЛА В МЕЛКОМ МОРЕ ДЛЯ СИСТЕМ ДИСТАНЦИОННОГО МОНИТОРИНГА МОРСКОГО ШЕЛЬФА	105
<b>Ледовской М.И.</b> ВИРТУАЛЬНАЯ СЕТЬ ДЛЯ ДЕМОНСТРАЦИИ ТЕХНОЛОГИЙ 1С ПРЕДПРИЯТИЕ	108

<b>Масюков И.И., Борзов Д.Б.</b> ПЕРСПЕКТИВЫ И ВАРИАНТЫ ПРИМЕНЕНИЯ МНОГОПРОЦЕССОРНОЙ ТЕХНИКИ В СОВРЕМЕННОЙ ЖИЗНИ	112
<b>Мионов Д.А., Борзов Д.Б.</b> ВОЗМОЖНОСТИ РАСПАРАЛЛЕЛИВАНИЯ ПРОГРАММ И ПАРАЛЛЕЛЬ- НОЙ КОМПИЛЯЦИИ ДЛЯ МНОГОЯДЕРНЫХ ПРОЦЕССОРОВ	113
<b>Набиев Р.Н., Шукюров С.С.</b> ТРЕНИЕ В СИСТЕМЕ МАГНИТНОЙ ЛЕВИТАЦИИ	114
<b>Оводенко А.В.</b> МОДЕЛИ КОНТРОЛЯ, ДИАГНОСТИКИ И РАБОТЫ МНОГОПРОЦЕС- СОРНОЙ МАЖОРИТАРНОЙ ТОЛЕРАНТНОЙ К ОТКАЗАМ ИЗМЕРИ- ТЕЛЬНО ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ	121
<b>Оводенко А.В., Самойленко А.П.</b> КОНЦЕПЦИИ РАЗВИТИЯ СИНТЕЗА ВСТРОЕННЫХ СИСТЕМ КОНТРО- ЛЯ БЕЗОТКАЗНОЙ РАБОТЫ БОРТОВЫХ РАДИОЭЛЕКТРОННЫХ А.В. КОМПЛЕКСОВ	124
<b>Панычев А.И., Захарова Е.В.</b> СРАВНИТЕЛЬНЫЙ АНАЛИЗ РАСЧЕТОВ ИНТЕНСИВНОСТИ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ	129
<b>Панычев А.И., Сербин А.И.</b> МОДЕЛИРОВАНИЕ РАСПРЕДЕЛЕНИЯ СИГНАЛОВ WLAN ВНУТРИ ПОМЕЩЕНИЯ С ЦИЛИНДРИЧЕСКИМ ПРЕПЯТСТВИЕМ	134
<b>Песоченко С.В.</b> МИКРОКОНТРОЛЛЕРНЫЙ ПРИБОР ДЛЯ КОНТРОЛЯ И ПРЕДОТВРА- ЩЕНИЯ ЗАСЫПАНИЯ ВОДИТЕЛЯ ЗА РУЛЕМ	138
<b>Петров Н.С.</b> ОРГАНИЗАЦИЯ ПРИЁМА ВЫСОКОДИНАМИЧНОГО ПОТОКА ИНФОР- МАЦИИ КОММУНИКАЦИОННЫМ МОДУЛЕМ РАСПРЕДЕЛЁННОЙ ИНФОРМАЦИОННОЙ МИКРОКОМПЬЮТЕРНОЙ СИСТЕМЫ	141
<b>Пьявченко О. Н. Нечитайло Г. А.</b> ИНТЕЛЛЕКТУАЛЬНЫЙ МИКРОКОНТРОЛЛЕРНЫЙ КОММУНИКАЦИ- ОННЫЙ МОДУЛЬ РАСПРЕДЕЛЕННОЙ ИНФОРМАЦИОННОЙ МИКРО- КОМПЬЮТЕРНОЙ СИСТЕМЫ	146
<b>Самойленко А.П., Рудь Д.Е.</b> МЕТОД ОЦЕНКИ ЗАГРУЗКИ ТЕЛЕКОММУНИКАЦИОННОЙ СИСТЕМЫ В УСЛОВИЯХ НАРУШЕНИЯ ОРДИНАРНОСТИ ИНФОРМАЦИОННОГО ПОТОКА	150
<b>Скубилин М.Д., Алмасани С.А.</b> К ВОПРОСУ О ТЕСТИРОВАНИИ СЕРДЕЧНОЙ ДЕЯТЕЛЬНОСТИ	155
<b>Скубилин М.Д., Коберси И.С., Аль Дулайми А.Н.</b> О МАССОМЕТРИИ ТРАНСПОРТНЫХ СРЕДСТВ	159
<b>Скубилин М.Д., Стефаненко В.К., Четырешников А.А.</b> ОБ АВТОМАТИЧЕСКОМ ОГРАНИЧЕНИИ СКОРОСТИ АВТОТРАНСПО- РТНЫХ СРЕДСТВ	162
<b>Скубілін М.Д., Нагучев Д.Ш., Набієв Б.Р.</b> ПРО ЕЛЕКТРОННИЙ КАМУФЛЯЖ ІНФОРМАЦІЇ	166
<b>Соловьёв М.А., Полуянович Н.К.</b> УПРАВЛЕНИЕ ЭЛЕКТРОПРИВОДОМ ДЕФЛЕКТОРОВ СИСТЕМЫ КОН- ДИЦИОНИРОВАНИЯ ВОЗДУХА ДЛЯ НЕЙТРАЛИЗАЦИИ ВРЕДНЫХ ВЕЩЕСТВ	169



<b>Финаев В.И., Скубилин М.Д., Коберси И.С., Каид В.А., Заргарян Ю.А.</b> К ВОПРОСУ О РАДИООБСЕРВАЦИИ	173
<b>Финаев В.И., Скубилин М.Д., Одей Ф.О.</b> ОБ ОПТИМИЗАЦИИ В ЭЛЕКТРОЭНЕРГЕТИКЕ	178
<b>Шушанов И.И., Полуянович Н.К.</b> ИССЛЕДОВАНИЕ ИМПУЛЬСНОГО РЕГУЛЯТОРА НАПРЯЖЕНИЯ	182
<b>Barkalov A.A., Malcheva R.V., Barkalov A.A.</b> REDUCTION IN THE NUMBER OF LUTS IN LOGIC CIRCUIT OF MEALY FSM	187
<b>Kobersi I.S., Abdulmalik S., Shkurkin D.V.</b> COMPARE BETWEEN FLC AND PID REGULATORS IN THE OIL LEVEL CONTROL TASK	192
<b>Kobersi I.S., Firov N.A., Sakhno D.A.</b> OPTIMIZATION GENETIC ALGORITHM OF NEURAL NETWORK IN THE TASKS OF VEHICLE PARKING	196
<b>Malcheva R.V., Kovalev S.A., Mohammad Yunis</b> RESEARCH OF PRODUCTIVITY OF A PARALLEL IMPLEMENTATION OF RAY-POLYGON INTERSECTION STAGE	199